

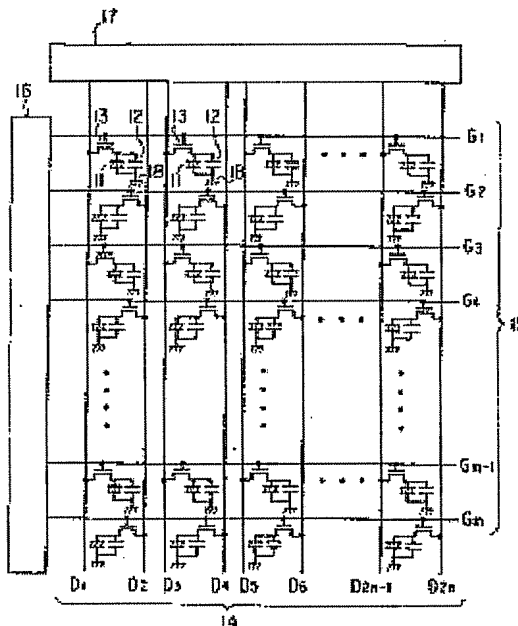
LIQUID CRYSTAL DISPLAY DEVICE AND ITS DRIVING METHOD

Patent number: JP2214818
Publication date: 1990-08-27
Inventor: HORII JUICHI; KANEKO YOSHIYUKI; KOIKE NORIO
Applicant: HITACHI LTD
Classification:
- international: *G02F1/133; G09G3/36; H01L29/78; H01L29/786; G02F1/13; G09G3/36; H01L29/66; (IPC1-7): G02F1/133; H01L29/784*
- european:
Application number: JP19890035067 19890216
Priority number(s): JP19890035067 19890216

Report a data error here

Abstract of JP2214818

PURPOSE: To obtain an active matrix type liquid crystal display device where the influence of gate pulse delay is eliminated by applying driving pulses to plural gate lines at the same time. **CONSTITUTION:** Gate pulses are applied to 1st, 2nd... (k)th gate lines of the active matrix type liquid crystal display device to turn on TFTs of the 1st, 2nd... (k)th lines, and data are written in picture elements in the 1st, 2nd... (k)th lines through data lines. For example, when $k=2$, the gate pulses are applied to two gate lines G1 and G2 at the same time to turn on the TFTs 13 connected to those gate lines at the same time. At this time, data are written in respective picture elements in the 1st line through odd-ordered data lines D1, D3... D_{2n-1} and picture elements in the 2nd line through even-numbered data lines D2, D4... D_{2n}. Consequently, trouble caused by the shortening of a signal write time due to gate pulse propagation delay by the high resistance and parasitic capacity of gate wiring is eliminated to obtain excellent and stable image quality.



Data supplied from the esp@cenet database - Worldwide

Family list

1 family member for: **JP2214818**

Derived from 1 application

1 LIQUID CRYSTAL DISPLAY DEVICE AND ITS DRIVING METHOD

Inventor: HORII JUICHI; KANEKO YOSHIYUKI; **Applicant:** HITACHI LTD

(+1)

EC: **IPC:** G02F1/133; G09G3/36; H01L29/78 (+6)

Publication info: JP2214818 A - 1990-08-27

Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-214818

⑬ Int. Cl.⁵

G 02 F 1/133
H 01 L 29/784

識別記号

5 5 0

庁内整理番号

8708-2H

⑭ 公開 平成2年(1990)8月27日

8624-5F H 01 L 29/78 3 1 1 E

審査請求 未請求 請求項の数 5 (全13頁)

⑮ 発明の名称 液晶表示装置及びその駆動方法

⑯ 特 願 平1-35067

⑰ 出 願 平1(1989)2月16日

⑱ 発 明 者 堀 井 寿 一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑱ 発 明 者 金 子 好 之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑱ 発 明 者 小 池 紀 雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人 弁理士 中村 純之助

明 細 書

1. 発明の名称

液晶表示装置及びその駆動方法

2. 特許請求の範囲

1. 行方向に並んだ複数個のゲート線と、それに直交するように列方向に並んだ複数個のデータ線と、その行列の各交点に形成された薄膜トランジスタとを備え、その各交点を画素とする第1の基板と、

透明導電体を形成した第2の基板と、を有し、

上記両基板間に液晶を封入した液晶表示装置において、

上記複数のゲート線をk本(kは2以上の正の整数)づつに区分し、各列毎に上記各区分のそれぞれの画素毎に1本、すなわち各列各区分毎にk本のデータ線を接続してなり、かつ上記の区分されたk本のゲート線に同一の駆動パルスを加する手段を備えたことを特徴とする液晶表示装置。

2. 特許請求の範囲第1項記載の液晶表示装置において、上記各区分内のk本のゲート線に与える駆動パルスをそれぞれ独立のk個のゲート線走査回路から与えることを特徴とする液晶表示装置。

3. 特許請求の範囲第1項または第2項記載の液晶表示装置において、データ線を駆動する走査回路または走査回路内のラインメモリをk個設け、同時に駆動するk本のゲート線に接続されているk行の画素に各行独立かつ同時に画像信号を書き込むように構成したことを特徴とする液晶表示装置。

4. 行方向に並んだ複数個のゲート線と、それに直交するように列方向に並んだ複数個のデータ線と、その行列の各交点に形成された薄膜トランジスタとを備え、その各交点を画素とする第1の基板と、

透明導電体を形成した第2の基板と、を有し、

上記両基板間に液晶を封入した液晶表示装置において、

上記複数のゲート線を k 本 (k は 2 以上の正の整数) づつ同時に駆動し、かつ各列毎に同時に駆動される k 個の画素の動作をそれぞれに接続されたデータ線で制御することを特徴とする液晶表示装置の駆動方法。

5. 特許請求の範囲第 4 項記載の駆動方法において、奇数番目の 1 対のゲート線 (G_1, G_2) を同時に駆動し、書き込みを完了すると、以下同様に、1 本おきの 1 対のゲート線 (G_3, G_4), (G_5, G_6), ..., 毎に順次駆動し、書き込みを行うことによって第 1 フィールドを形成し、次に、偶数番目の 1 対のゲート線 (G_2, G_3) を同時に駆動し、以下上記第 1 フィールドと同様に第 2 フィールドを形成することにより、インターレース走査を行うことを特徴とする液晶表示装置の駆動方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はアクティブマトリクス型液晶表示装置及びその駆動方法に係り、特に良好な画質を実現

するのに好適な液晶表示装置及びその駆動方法に関する。

〔従来の技術〕

アクティブマトリクス型液晶表示装置に関しては、例えば特開昭 54-18886 号に記載されている。

第 2 図はアクティブマトリクス型液晶表示装置の一例の回路図である。

第 2 図において、21 は液晶セル、22 は電荷蓄積用コンデンサ、23 は液晶セル 21 の一方の電極に接続された薄膜トランジスタ (以下、TFT と記す) であり、これらによって一画素を構成している。また、24 はアクティブマトリクスの各列の TFT に共通接続された複数 n 本のデータ線 $D_1 \sim D_n$ 、25 はアクティブマトリクスの各行の TFT に共通接続された m 本のゲート線 $G_1 \sim G_m$ 、26 はゲート線 $G_1 \sim G_m$ に順次走査パルスを加する走査回路 (以下、ゲートドライバと記す)、27 はデータ線 $D_1 \sim D_n$ に水平走査分の画像信号を並列に印加する走査回路 (以下、データドライバと記す)、28 は TFT を形成した基板と液晶を挟んで対向する

- 3 -

基板上に形成された液晶セル 21 の他方の電極に共通に接続する透明な共通電極である。

次、にアクティブマトリクス型液晶表示装置の駆動について説明する。

第 3 図は駆動波形の例を模式的に示した図である。

第 3 図において、第 i 番目のゲート線 G_i に、TFT をオンするのに必要な V_{on} の電圧を備えたパルス V_{oi} を加えるのに同期させて、第 j 番目のデータ線 D_j に画像信号電圧 V_{sj} を印加する。これによって画素 C_{ij} の液晶容量、蓄積容量に電荷が蓄積され、画像信号の書き込みが行われる。この書き込みはゲート電圧が V_{on} の間すなわち $t_1 \sim t_1 + \Delta t$ の間に完了する。以後、画素 C_{ij} の電圧は 1 フィールド周期 T 後の $t_1 + T$ に再び信号書き込みが行われるまで V_{sj} に保持され、ゲート電圧は V_{off} である。

線順次走査においては、第 i 番目のゲート線 G_i に接続された全ての TFT は同時にオンされ、上記と同様の信号書き込みが行われる。第 i 番目

- 4 -

の書き込みが終了するのと同時に第 $i+1$ 番目のゲート線 G_{i+1} にパルス V_{oi+1} が加えられ、第 $i+1$ 番目のゲート線に接続されたすべての TFT は同時にオンされ、同様に信号書き込みが行われる。

以上のようにゲート線に電圧を順次印加することにより、順次 TFT がオンし、線順次走査が行われ、画素が駆動される。

〔発明が解決しようとする課題〕

アクティブマトリクス型液晶表示装置の駆動の原理は上記の説明のごとくであるが、実際の駆動においてはゲート電圧パルスの伝播遅延を考慮に入れなければならない。

第 4 図はゲートパルスと遅延した伝播遅延ゲートパルスを示した図である。

第 4 図に示すように、ゲート線に印加するゲートパルス電圧が方形波であっても、ゲート線容量や配線抵抗によって波形に遅延が生じ、ゲートドライバ 26 と反対側の端では、立ち上り遅延 t_r と立ち下り遅延 t_f とが生じて波形が歪む。したがって

- 5 -

- 5 -

第4図の特性においては、実際の書き込み時間が実効的には $\Delta t - t_r$ となって Δt より短くなるので、画像信号を十分書き込むことが出来なくなる、という問題がある。

上記の問題は、ゲート線としてポリシリコン(Poly-Si)を用いる場合に特に重要となる。すなわち、ポリシリコンは金属より抵抗が高いため、上記の伝播遅延が大きくなり、実効的な書き込み時間がますます短くなってしまふ。そのため素子形成上に有利なポリシリコンをゲート線として用いることが困難となるので、製造工数およびコストが増大するという問題も生じる。

本発明の目的は、上記ゲートパルス遅延の影響をなくしたアクティブマトリクス型液晶表示装置およびその駆動方法を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するために、本発明においては特許請求の範囲に記載するように構成している。

すなわち、本発明においては、従来、ゲート線1本毎に順次加えていた駆動パルスを、複数(k

本)のゲート線に同時に加えることにより、TF Tのオン時間をほぼ k 倍に拡大するようにしたものである。

なお、特許請求の範囲第1項は、本発明の基本的構成を示すものであり、例えば後記第1図の実施例に相当する。

また、特許請求の範囲第2項は、例えば後記第6図および第13図の実施例に相当する。

また、特許請求の範囲第3項は、例えば後記第7図の実施例に相当する。

また、特許請求の範囲第4項は、本発明の駆動方法を示すものであり、例えば後記第1図および第5図で説明するものに相当する。

また、特許請求の範囲第5項は、インターレース走査の駆動方法であり、例えば後記第12図の実施例で説明する駆動方法に相当する。

〔作用〕

本発明においては、第1, 2... k 行目のゲート線に同時にゲートパルスを印加し、 k 行にわたるTF Tをオン状態とすることにより、データ線

- 7 -

を介して第1, 2, ... k 行目の画素への書き込みを行う。これらの行への書き込みを完了すると、次の k 行にパルスを同時に加える。このように k 行同時に信号を書き込むようにすることにより、従来に較べて k 倍の時間を書き込みにあてることが可能となる。その結果、本発明においては、書き込みに許される時間は $k \Delta t - t_r$ となり、従来装置で欠点となっていた伝播遅延による書き込み時間短縮に伴う問題を解消することが可能になる。

〔実施例〕

実施例1

第1図は、本発明の基本的な構成を示す一実施例図であり、アクティブマトリクス型液晶表示装置の回路図である。なお、この実施例は同時に駆動するゲート線数が2本($k=2$)の場合を示す。

第1図において、11はマトリクス状に配置された液晶セル、12は電荷蓄積用コンデンサ、13は各液晶セル11の一方の電極に接続されているTF T、14はTF Tの各データ電極に共通接続されたデー

タ線 $D_1 \sim D_{2n}$ 、15はTF Tの各ゲート電極に共通接続されたゲート線 $G_1 \sim G_n$ である。また、16はゲート線に順次走査パルスを印加するゲートドライバ、17は画像信号をデータ線に並列に印加する機能をもったデータドライバ、18はTF Tを形成した基板と液晶を挟んで対向する基板上に形成された透明な共通電極である。

また、第1図においては、奇数番目のゲート線 $G_1, G_3, \dots, G_{2n-1}$ に接続されているTF Tのデータ電極は、それぞれ奇数番目のデータ線 $D_1, D_3, \dots, D_{2n-1}$ に接続され、偶数番目のゲート線 G_2, G_4, \dots, G_{2n} に接続されているTF Tのデータ電極は、それぞれ偶数番目のデータ線 D_2, D_4, \dots, D_{2n} に接続されている。したがって1列に接続されるデータ線は2本となり、データ線の本数は前記第2図の回路の2倍となる。

なお、本実施例においては、説明を簡単にするためゲート線2本($k=2$)に同時書き込みする場合の構成を示したが、同時書き込みするゲート線の本数 k は2以上であれば構わない。ただし、

- 9 -

- 10 -

本発明においてはデータ線の本数を従来構成に比べて k 倍、すなわち $k=2$ の場合は 2 倍、 $k=3$ の場合は 3 倍設ける必要がある。

本実施例においては、隣あった 2 本のゲート線 G_1 と G_2 に同時にゲートパルスを加し、それらのゲート線に接続されている TFT を同時にオン状態にする。このとき、奇数番目のデータ線 D_1 、 D_3 、 \dots 、 D_{2n-1} によって第 1 行目 (G_1 に対応) の各画素に書き込みを行い、同様に偶数番目のデータ線 D_2 、 D_4 、 \dots 、 D_{2n} によって第 2 行目 (G_2 に対応) の各画素に書き込みを行う。

上記のようにして、第 1、2 行目の書き込みを完了すると、ゲート線 G_3 、 G_4 にゲートパルスを加し、以下一対のゲート線 (G_5 、 G_6)、(G_7 、 G_8)、 \dots 毎にゲートパルスを順次加えてゆく。

このように 2 行同時に信号を書き込むようにすることにより、1 行ずつ書き込む従来の場合と較べて 2 倍の時間を書き込みにあてることが可能となる。これはゲートにパルス電圧を加える時間が実効的に 2 倍に拡大されたことに相当する。

- 11 -

ライバ (第 1 図の 17 に相当)、54 は映像信号入力、55 は同期信号制御部である。

以下、第 5 図 (b) のタイミングチャートに基づいて動作を説明する。

例えば、2 相のクロックパルス ϕ_1 、 ϕ_2 によって動作するシフトレジスタと垂直同期パルス S_v とにより、2 行分の映像信号がデータドライバ 53 内のラインメモリに蓄えられる。ラインメモリに蓄えられた 2 行分の映像信号はラインスイッチパルス S_L によって、1 行分が奇数番目のデータ線 D_1 、 D_3 、 \dots 、 D_{2n-1} に、他の 1 行分が偶数番目のデータ線 D_2 、 D_4 、 \dots 、 D_{2n} に出力される。このように 2 行分の映像信号を 2 本のデータ線 D_{2n-1} 、 D_{2n} を通して同時に画素に書き込むことにより、2 本分の書き込み時間 $2\Delta t$ を使うことが可能となる。

第 5 図 (c) は、上記の動作におけるゲートパルス及び伝播遅延ゲートパルスを示した図である。

図示のごとく、ゲートパルスの書き込み時間が $2\Delta t$ となることによって実際の書き込み時間は $2\Delta t - t_r$ となり、一本ずつ書き込む場合に較べ、

次に、第 5 図は、上記第 1 図の実施例における駆動回路および駆動信号波形を示す図であり、

(a) は第 1 図のアクティブマトリクス液晶表示装置の駆動回路のブロック図、(b) は駆動信号のタイミングチャート、(c) はゲートパルスと伝播遅延ゲートパルスの電圧波形図である。

まず、第 5 図 (a) において、液晶パネル 51 は、第 1 図に示したマトリクス状に配置された多数の液晶画素からなるパネルである。また、52 は液晶パネル 51 のゲートドライバ (第 1 図の 16 に相当) であり、ゲート線 2 本を同時に駆動する場合にはゲート線数の半分の段数のシフトレジスタによって構成することが出来る。一般的には、 k 本を同時に駆動する場合はゲート線数の $1/k$ の段数のシフトレジスタによって構成することが出来る。本実施例の場合、シフトレジスタを例えば 2 相のクロックパルス ϕ_1 、 ϕ_2 によってパルスシフト動作を行わせ、各ゲート線に走査パルス S_H を出力する。また、53 はシフトレジスタ、ラインスイッチ、ラインメモリ等によって構成されるデータド

- 12 -

て書き込み時間は Δt だけ増加することになる。

したがってゲートパルスの伝播遅延による書き込み時間短縮に伴う問題を解消することが出来る。

なお、第 1 図および第 5 図の実施例においては、同時書き込みの本数が 2 本の場合を示したが、同様に、同時書き込みの本数を 3、4、 \dots 、 k 本とすることも可能であり、従来に較べて書き込み時間をほぼ k 倍に拡大する ($k \cdot \Delta t$) ことが可能となる。

実施例 2

次に、第 6 図は本発明の第 2 の実施例を示す図であり、(a) は、アクティブマトリクス液晶表示装置のブロック図、(b) はその駆動電圧波形図である。この実施例は、奇数番目のゲート線を駆動するゲートパルスと偶数番目のゲート線を駆動するゲートパルスを出力するゲートドライバとを別個に設けたものである。

第 6 図において、61 は液晶セル、電荷蓄積用コンデンサ、TFT および画素電極によって構成さ

- 13 -

—144—

- 14 -

れる液晶画素、62はデータドライバである。また、63および64は同時に書き込むゲート線をそれぞれ独立に駆動するゲートドライバであり、ゲートドライバ63は奇数番目のゲート線を駆動し、ゲートドライバ64は偶数番目のゲート線を駆動するように接続されている。

上記の回路は、第6図(b)に示すように、ラインメモリスイッチパルス S_{L1} 、 S_{L2} 、2相のクロックパルス ϕ_{x1} 、 ϕ_{x2} 及び ϕ_{y1} 、 ϕ_{y2} 、ゲートパルス S_{H1} 、 S_{H2} によって構成される駆動パルスで駆動される。すなわち、ゲートドライバ63が第1行目のゲート線を駆動する信号を出力すると同時にゲートドライバ64が第2行目のゲート線を駆動する信号を出力し、以下、順次各ゲート線の駆動が行われる。

この実施例の場合も前記第1図の場合と同様にゲートパルスの伝播遅延によるデータ書き込み時間短縮による問題を解消することが可能となる。

なお、上記の説明においては、ゲートドライバ63と64が同時にゲートパルスを出力する場合、す

なわち前記第1図と実質的に同じ動作を行う場合について説明したが、第6図の回路は奇数番目と偶数番目とで全く独立に各画素の制御を行うことが出来るので、他の制御、例えば後記第12、13図の実施例で説明するときインターレース制御等の場合に更に有効である。

なお、本実施例においては、 $k=2$ の場合を例示したが、 k 本のゲート線を同時に駆動する場合には k 個のゲートドライバを設けてそれぞれ独立に駆動するように構成することが出来るのは当然である。

実施例3

次に、第7図は本発明の第3の実施例図であり、アクティブマトリクス液晶表示装置のブロック図を示す。この実施例は、上記第6図の実施例において、更に、奇数番目のゲート線に接続されている画素を駆動するデータドライバと偶数番目のゲート線に接続されている画素を駆動するデータドライバとを別個に設けたものである。

第7図において、71は前記と同様の液晶画素、

- 15 -

74と75はゲートドライバ（前記第6図の63、64に相当）である。また、画像信号を蓄えるラインメモリ及びシフトレジスタ等からなる2個のデータドライバ72、73は、各ゲートドライバ74、75において同時にゲート線にパルスを加えて信号を書き込む場合に、各ゲートドライバに対応して奇数番目用と偶数番目用とに独立に接続されている。なお、このデータドライバは、同時駆動するゲート線の本数が k 本の場合、 k 本分だけ、すなわち k 個設けてもよい。この実施例では説明を簡単にするため2本（ $k=2$ ）の場合を示す。

上記の構成により、外部に設置した一画面を構成する画像信号を記憶したメモリ等から一走査線分の画像信号を随時読み出すことによって、ゲートドライバ74、75で駆動される各ゲート線を介して画像信号を同時に書き込むことが可能となる。

また、上記のデータドライバを構成するシフトレジスタを k 本分共通としてラインメモリだけ独立に k 本分設けて、信号書き込みを行うことも可能である。

- 17 -

- 16 -

実施例4

第8図は、本発明の第4の実施例を示す信号波形図である。

前記第7図の回路において、駆動波形を第8図に示すように、ラインスイッチパルス S_{L2} を S_{L1} に較べて t_0 だけ遅らせることにより、全体の書き込みを t_0 だけシフトすることが可能となる。この t_0 は任意に設定できるので、 t_0 を適当な時間に設定することにより、同時書き込みの場合に較べて画面のチラつき等を改善することが可能となる。

実施例5

第9図は、本発明の第5の実施例図である。

この実施例は、前記第1図の実施例において同時に駆動する2本のゲート線の一つにまとめてゲートドライバの一つの出力で駆動するように構成したものである。なお、この実施例は2本の一つにまとめた場合を例示したが、 k 本同時に駆動するときは k 本の一つにまとめることが出来る。

第9図において、91は前記と同様の液晶画素、92はデータドライバ（第1図の17に相当）、93は

- 18 -

ゲートドライバである。

実施例 6

第10図は本発明の第6の実施例図である。

これまでの実施例においては、説明を簡単にするため $k=2$ の場合について説明してきたが、前に述べたように $k=3, 4, 5 \dots$ とすることもできる。第10図の実施例は、その一例として、 $k=4$ の場合を示したものである。

なお、101は画素（第1図の11に相当）、102はデータドライバ、103はゲートドライバである。なお、 $D_1, D_2, D_3, \dots, D_n$ はデータ線であり、この実施例においてはデータ線が第2図の4倍必要となる。

また、第11図は、上記第10図の実施例の素子の具体的な構成を示す平面図である。

この平面図は、 $k=4$ の場合における液晶画素、TFT、ゲート線 $g_1 \sim g_4$ およびデータ線（縦の線）の配置を示すものであり、カラー表示用のグリーンG、ブルーB、レッドRの各画素を三角形に配置した、いわゆるトライアングル配置を示す

ものである。

なお、図中に黒丸で示したのがTFTである。

また、①～④に区分されたゲート線がそれぞれ同時に（例えば $g_1 \sim g_4$ が同時に）駆動される。

実施例 7

第12図は本発明の第7の実施例図である。

これまで説明した本発明の動作においては、インターレース走査に触れなかった。ここでインターレース走査をあわせて考える。

第12図において、奇数番目の1対のゲート線 (G_1, G_3) にゲートパルスを同時に印加し、書き込みを完了すると、以下同様に、1本おきの1対のゲート線 (G_5, G_7), (G_9, G_{11}), に順次ゲートパルスを加えてゆき、第1フィールドを形成する。次に、偶数番目の一対のゲート線 (G_2, G_4) にゲートパルスを印加し、以下上記第1フィールドと同様に第2フィールドを形成することにより、インターレース走査が可能となる。

この場合には、1, 2, 5, 6, 9, 10…番目のゲート線に接続される画素が同じデータ線に

- 19 -

接続され、3, 4, 7, 8, 11, 12…番目のゲート線に接続される画素が同じデータ線に接続される。

実施例 8

第13図は本発明の第8の実施例図である。

この実施例は、前記第12図の回路において、奇数番目のゲート線 $G_1, G_3, G_5, \dots, G_{n-1}$ と偶数番目のゲート線 $G_2, G_4, G_6, \dots, G_n$ とをそれぞれ独立に駆動できるように2個のゲートドライバ123, 124を設けたものであり、第1及び第2フィールドをそれぞれ独立に形成することが可能となる。

また、データドライバを前記第7図の回路のように構成すれば、第1および第2フィールドを形成する場合に、両フィールドを同時に上から順次ゲートパルスを印加して画面を構成することが出来る。このようにすれば、1フィールドを形成する時間で2つのフィールドを同時に形成することが可能であるため、書き込み時間を2倍とすることが出来る。

- 21 -

- 20 -

実施例 9

第14図は本発明の第9の実施例図である。

この実施例においては、ゲートパルスの印加方法は前記第12図と同様であるが、ゲートドライバ133と別にスイッチ134を設け、一対のゲート線 (G_1, G_3) を各フィールドごとにスイッチ134で切り替え、以下同様にゲート線対 (G_5, G_7), (G_9, G_{11}) ……を切り替える。このように構成すれば、ゲートドライバ133はゲート線の半分の段数のシフトレジスタをそなえれば良いことになる。 k 本のゲート線を同時に駆動する場合にはゲートドライバ133の段数は $1/k$ に減らすことができる。

〔発明の効果〕

本発明によれば、アクティブマトリクス液晶表示装置において、書き込み時間を従来より大幅に延長することが出来る。そのため、ゲート配線の高抵抗や寄生容量によるゲートパルス伝播遅延によって生じる信号書き込み時間の短縮に伴う問題を解消することが出来るので、良好で安定した画

- 22 -

質を実現できるという優れた効果が得られる。

また、本発明においては、実効的な書き込み時間を大幅に増大することが出来るので、従来困難であったポリシリコンのゲート線を用いることが出来、そのため製造工数およびコストを減少させることが出来る。

なお、本発明においては、従来よりデータ線の本数は増加するが、液晶表示装置が大型化、高精細化するにしたがってゲート線が増大し、1ゲート線当たりの書き込み時間が十分に取れなくなるような場合には、たとえデータ線の本数が増加するとしても、本発明は大きな効果を有する。すなわち、本発明はゲート線数の増大、配線抵抗の増加等を伴う大画面、高精細のアクティブマトリクス液晶表示装置において特にその効果を発揮する。

4. 図面の簡単な説明

第1図は本発明のアクティブマトリクスパネルの一実施例の回路図、第2図は従来例のアクティブマトリクスパネルの一例の回路図、第3図は従来のパネル駆動方法における信号波形図、第4図

は伝播遅延を説明するための信号波形図、第5図は本発明の実施例における駆動回路および駆動信号波形を示す図、第6図は本発明の第2の実施例のブロック図および信号波形図、第7図は本発明の第3の実施例のブロック図、第8図は本発明の第4の実施例の信号波形図、第9図は本発明の第5の実施例のブロック図、第10図は本発明の第6の実施例のブロック図、第11図は本発明の表示素子の具体的な構成の一実施例を示す平面図、第12図は本発明の第7の実施例のブロック図、第13図は本発明の第8の実施例のブロック図、第14図は本発明の第9の実施例のブロック図である。

＜符号の説明＞

- 11, 21…液晶セル
- 12, 22…電荷蓄積用コンデンサ
- 13, 23…TFT
- 14, 24…データ線
- 15, 25…ゲート線
- 16, 26, 52…ゲートドライバ
- 17, 27, 53…データドライバ

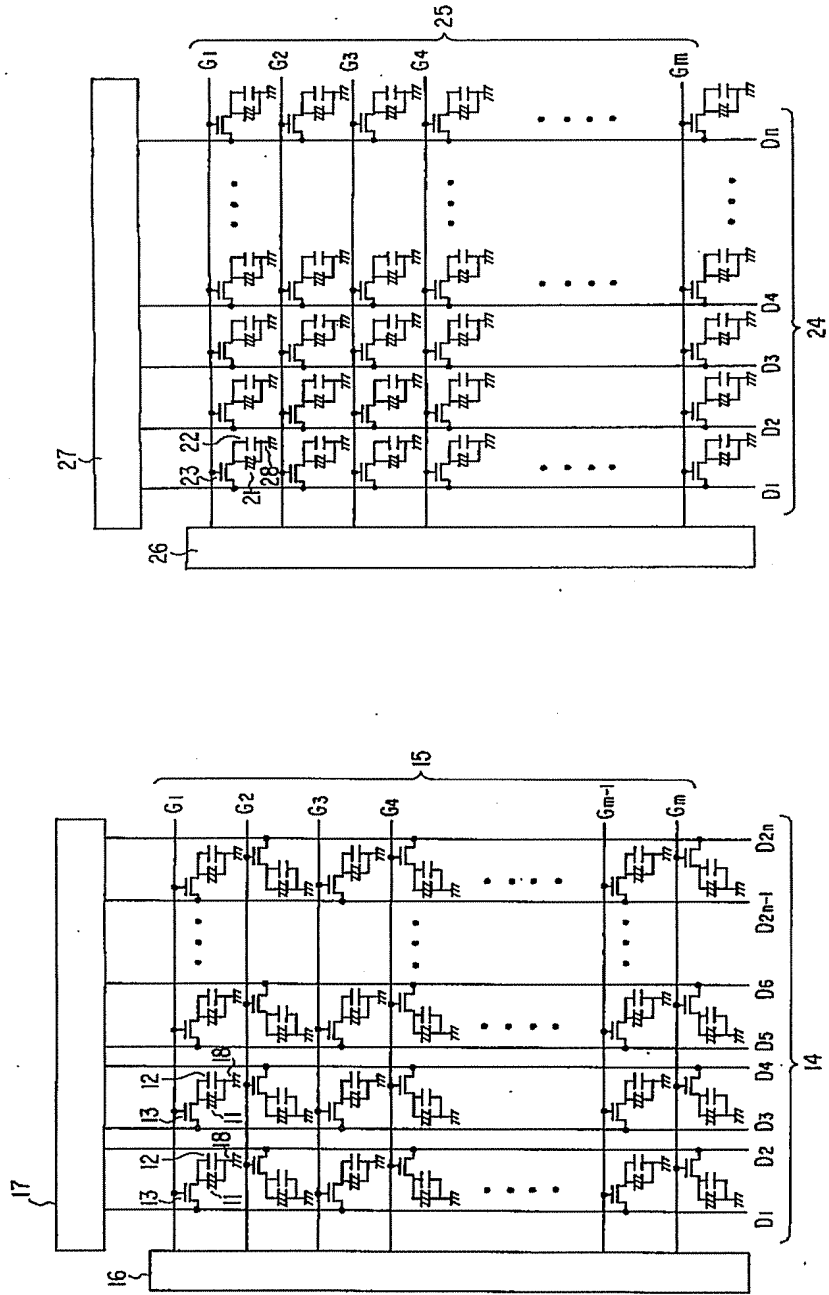
- 23 -

- 24 -

- 51…液晶パネル
- 54…画像信号入力
- 55…同期信号制御部

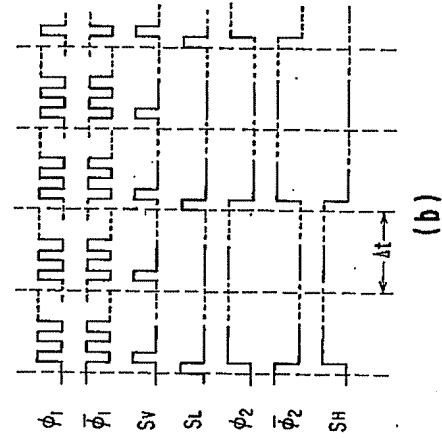
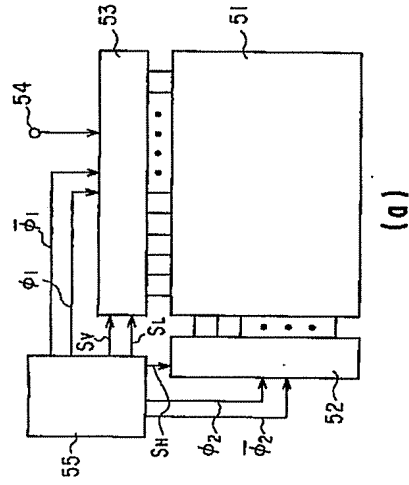
代理人弁理士 中 村 純 之 助

- 25 -

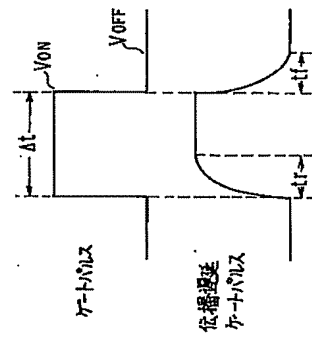
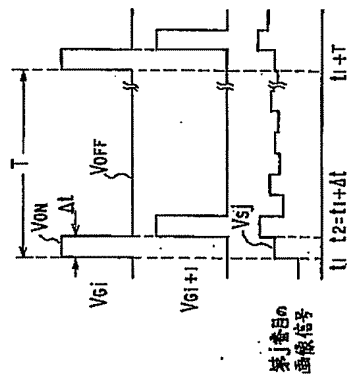


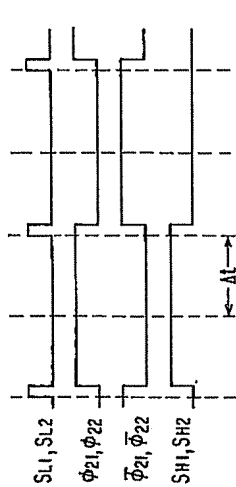
第 1 図

第 2 図

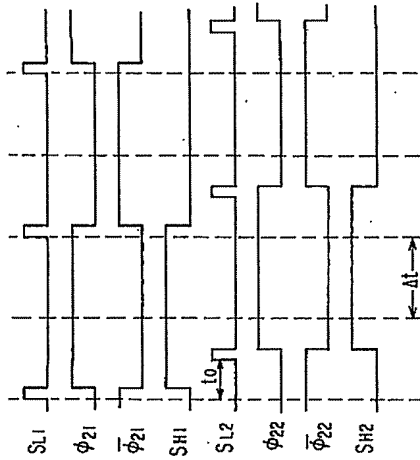


第 5 図

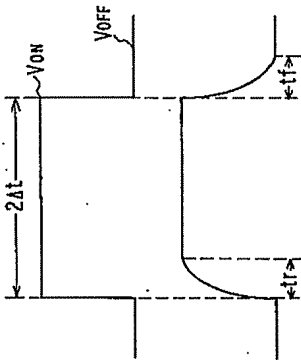




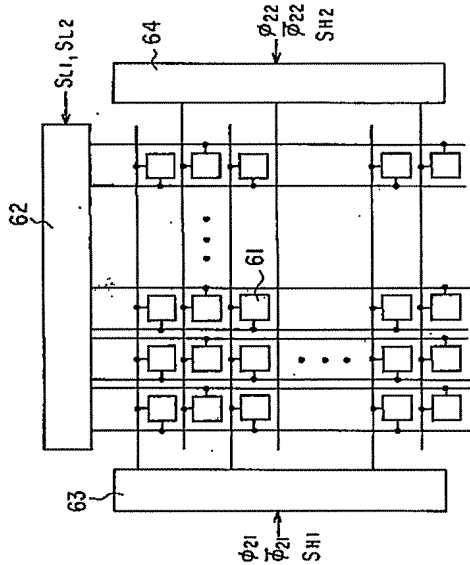
第 6 図 (b)



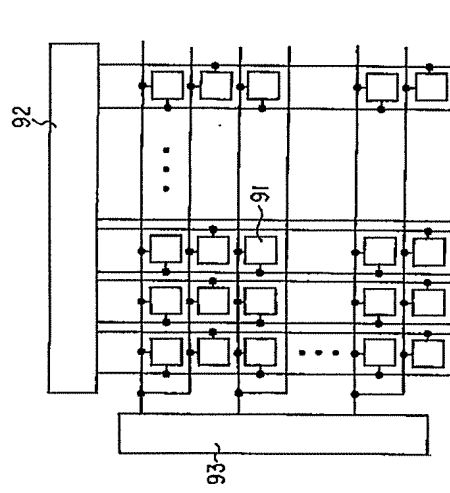
第 8 図



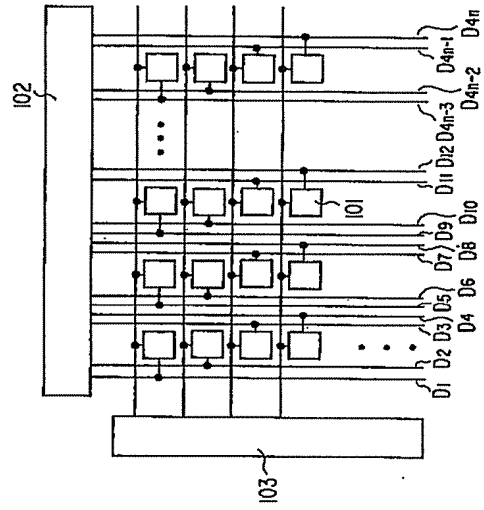
第 5 図 (c)



第 6 図 (a)



第九區



区
二
級

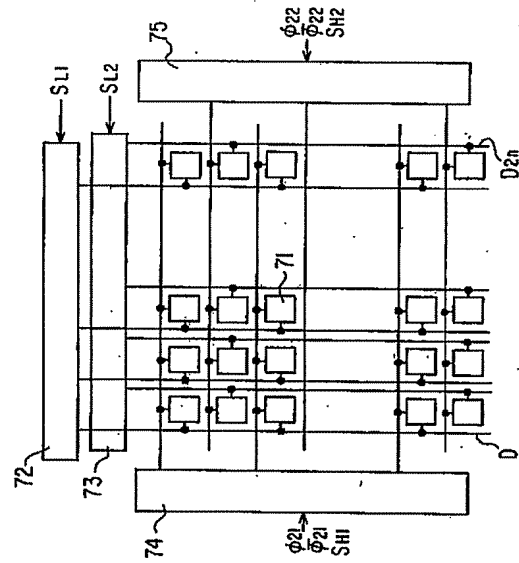
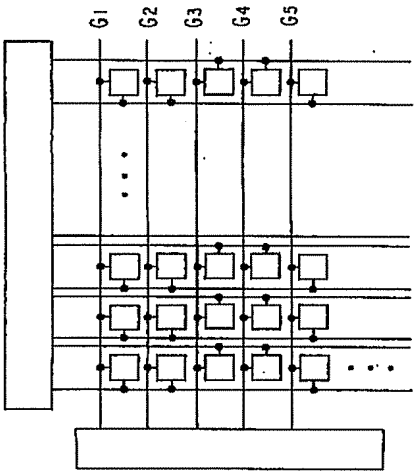
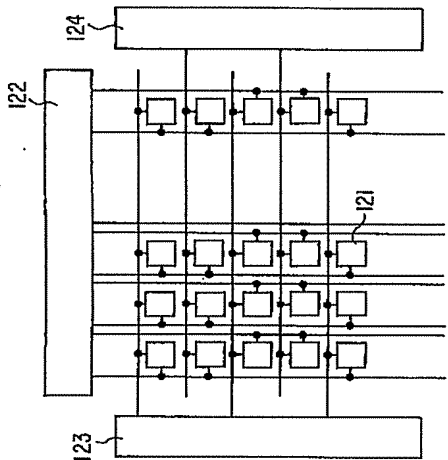


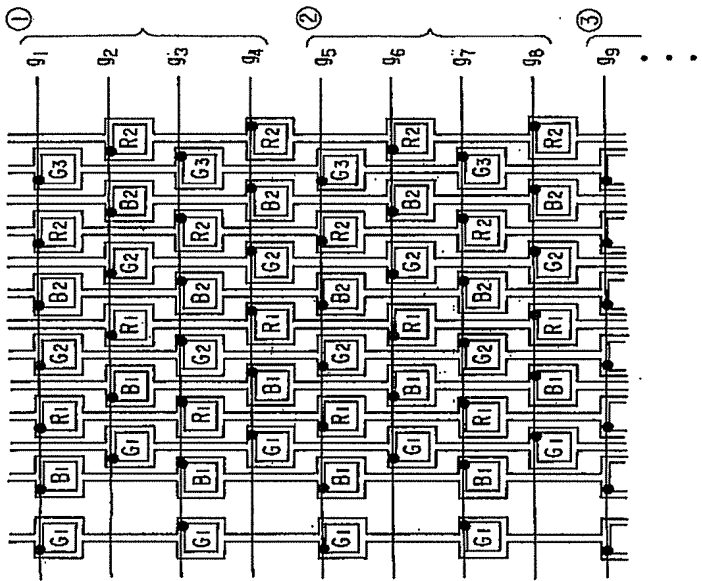
图 7



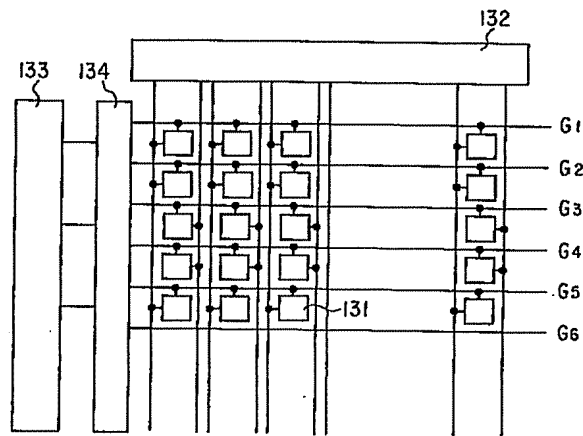
第 12 図



第 13 図



第 11 図



第 14 図